



I.T.I. "Modesto PANETTI" – B A R I

**Via Re David, 186 -
70125 BARI**

**☎ 080-542.54.12 -
Fax 080-542.64.32**

Internet <http://www.itispanetti.it> – email : BATF05000C@istruzione.it

**Tesina sviluppata dall'alunno Francesco Ruggiero della classe 5 ETB.
A.S. 2006/2007**

**Docenti: Prof. Ettore Panella
Prof. Franco Campobasso
Prof. Raffaele Nuzzi
Prof. Gennaro Calabrese**

RICETRASMETTITORE CON MODULAZIONE DI FREQUENZA REALIZZATO CON PLL

In questa esperienza si vuole realizzare un ricetrasmittitore utilizzando un PLL sia per la trasmissione che per la ricezione. I PLL impiegati sono del tipo CD4046 della National di cui in appendice si riposta il data-sheet.

Il trasmettitore sfrutta la capacità del PLL di operare una modulazione di frequenza del segnale di entrata. Vi grazie alla possibilità di lavorare da VCO (Voltage Controlled Oscillator). Il ricevitore sfrutta la capacità del PLL di lavorare come demodulatore di frequenza.

In fig. 1 si mostra lo schema a blocchi del ricetrasmittitore a PLL.

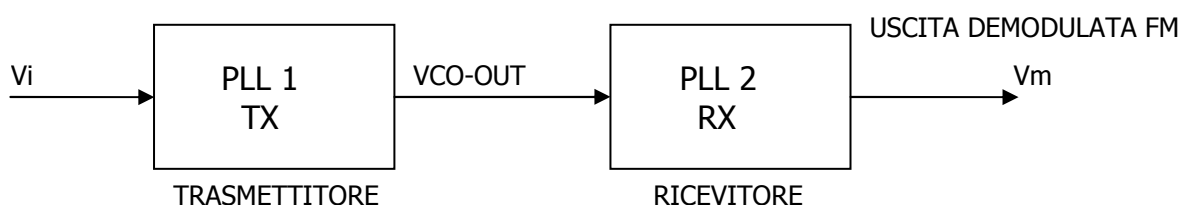


Fig. 1 – Schema a blocchi di un ricetrasmittitore PLL

Prima di analizzare lo schema elettrico del circuito realizzato è opportuno richiamare il funzionamento di un generico PLL.

CENNI TEORICI

IL PLL (Phase Locked Loop, anello ad aggancio di fase) è un circuito integrato a reazione negativa. E' un componente molto versatile e può essere usato come:

- demodulatore di segnali modulati in frequenza;
- decodificatore di tono, in grado di riconoscere una particolare frequenza tra tante;
- controllo della velocità dei motori;
- convertitore tensione-frequenza (VCO);
- moltiplicatore di frequenza.

La struttura interna è schematicamente composta da tre blocchi: il rivelatore di fase, il filtro passa basso e il VCO, come mostrato dallo schema di fig. 2.

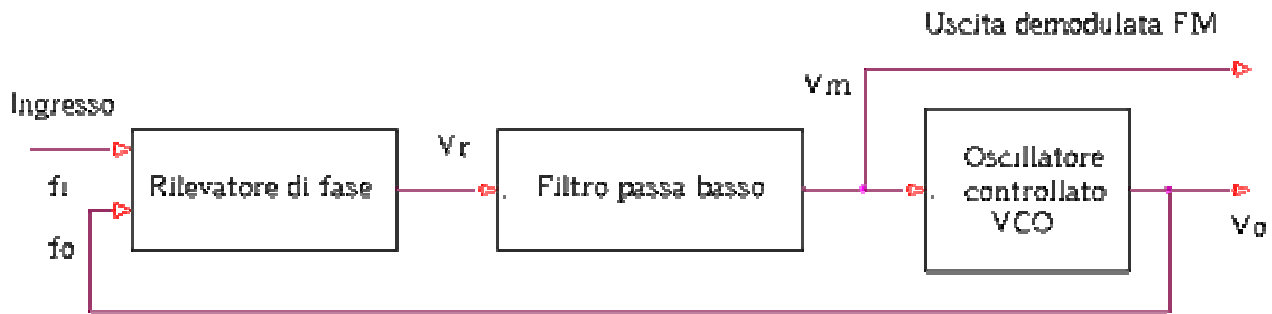


Fig. 2 – Schema a blocchi di un PLL

Il primo blocco produce un'uscita proporzionale alla somma e alla differenza tra le fasi del segnale di ingresso a frequenza f_p ed il segnale in uscita a frequenza f_0 . Il filtro passa - basso lascia passare solamente la componente differenza dando origine ad una tensione di errore V_r proporzionale alla differenza tra le due fasi comparate. La tensione errore viene impegnata per controllare la frequenza dell'oscillatore il quale ha un'ampiezza fissa per evitare di subire variazioni di ampiezza dovute al segnale di ingresso. Il VCO varia la sua frequenza in modo da ridurre la variazione della differenza di fase . Quando l'anello è agganciato in fase, la frequenza del VCO è uguale alla frequenza del segnale in ingresso e la differenza tra le due fasi risulta costante. Ogni variazione di tale differenza produce una variazione della tensione di errore V_i che forza la frequenza del VCO fino all'aggancio successivo. Per comprendere meglio il principio di funzionamento del PLL si consideri inizialmente nullo il segnale di ingresso. In tal caso all'ingresso del rivelatore di fase è applicato solamente il segnale di uscita del VCO e di conseguenza il battimento risulta nullo. All'uscita del filtro si ottiene una tensione di errore nulla (continua) la quale viene applicata all'ingresso del VCO. La frequenza di oscillazione quindi si mantiene costante , perché il circuito risonante del VCO non è forzato da nessuna tensione. La frequenza che si ottiene in assenza del segnale di ingresso si chiama **frequenza libera di oscillazione** f_0 . Quando invece il segnale di ingresso avente frequenza f_i , è presente all'ingresso del rivelatore di fase si verifica che f_i è molto diversa da f_0 , allora all'uscita del rivelatore di fase sono presenti una piccolissima componente continua ed una componente alternata. Se la differenza delle due frequenze ($f_i - f_0$) diminuisce, aumenta la componente continua e diminuisce la frequenza di battimento. All'uscita del filtro passa - basso la tensione di errore raggiunge il VCO come tensione di controllo ed obbliga a cambiare la frequenza di uscita dello stesso. Tale processo continua fino a che la frequenza del segnale di riferimento non raggiunge un determinato valore di frequenza rispetto ad f_0 . Più precisamente quando accade che la frequenza del segnale in ingresso raggiunge un determinato valore di frequenza f_1 , che è la frequenza limite inferiore che serve al VCO per cominciare a cambiare la sua frequenza , il VCO raggiunge (aggancia) il valore della frequenza di riferimento e la tensione di errore assume valori negativi. Se la frequenza di riferimento continua ad aumentare, ad un certo istante la tensione errore è nulla e la frequenza di ingresso è uguale alla frequenza f_0 . L'anello continua ad inseguire la frequenza di ingresso fino a che raggiunga il valore f_2 ; raggiunto tale valor che rappresenta il limite superiore entro il quale il VCO varia la propria frequenza, la tensione di errore fornita dal filtro è nulla ed il VCO funziona alla sua frequenza libera f_0 . Se invece la frequenza di ingresso diminuisce allora il processo si ripete a partire da un valore di tensione positivo. Si nota che in questo caso il campo di funzionamento del VCO è limitato dalle frequenze f_3 ed f_4 . In conclusione si può affermare che il sistema si aggancia sulla

frequenza di ingresso entro un determinato campo di cattura. Le frequenze f_1 ed f_3 rappresentano rispettivamente il limite inferiore e superiore del campo di cattura.

In fig. 3 si mostrano le risposte in frequenza.

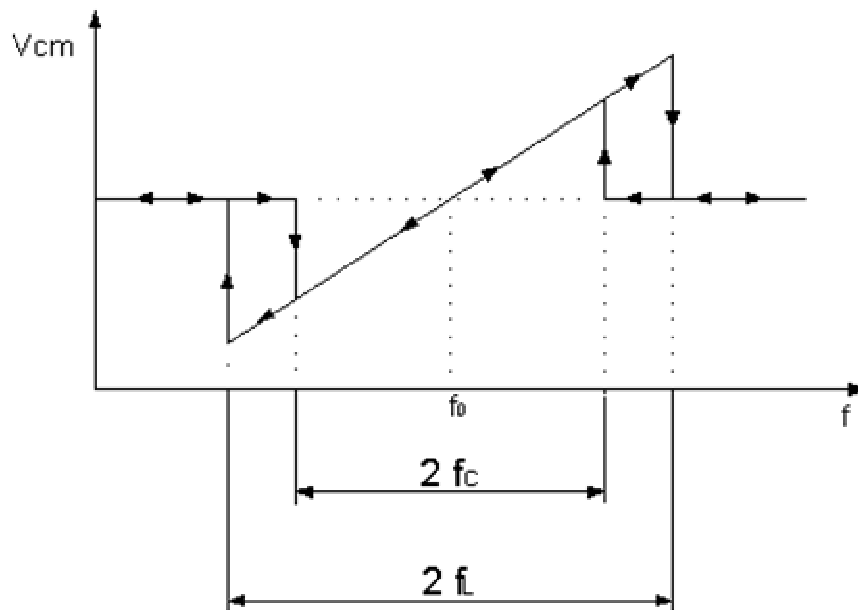


Fig. 3

La quantità $2fc$ rappresenta il **campo di aggancio**, mentre $2fl$ individua il **campo di cattura**.

Dopo aver descritto il funzionamento generico si passa ora alla descrizione specifica di ogni singolo blocco.

○ Rivelatore di fase

Lo scopo del rivelatore è quello di fornire una tensione continua in funzione della differenza delle fasi del segnale d'ingresso con quella del segnale d'uscita riproposto all'ingresso.

$$\varphi_d = \varphi_i - \varphi_o$$

Ponendo all'ingresso del rivelatore di fase due segnali sinusoidali:

$$V_i(t) = V_{iM} \sin \omega_i t$$

$$V_o(t) = V_{oM} \sin[\omega_i t + \varphi(t)]$$

Dal confronto delle fasi si ha l'informazione sull'uguaglianza delle frequenze. Se le frequenze all'ingresso del rivelatore sono uguali allora φ_d è costante il valore medio dell'uscita del rivelatore. Se invece le frequenze sono diverse e variabili anche la fase φ_d sarà variabile nel tempo. La variazione della fase e quindi del segnale provoca in uscita

un'oscillazione del VCO che si esaurirà nel breve tempo in cui il segnale d'ingresso verrà agganciato, ovvero quando la frequenza d'ingresso e d'uscita saranno uguali. I rilevatori di fase possono essere di diverso tipo. Nel caso di rivelatore di fase analogico il rivelatore è costituito da un moltiplicatore come mostrato in fig. 4.

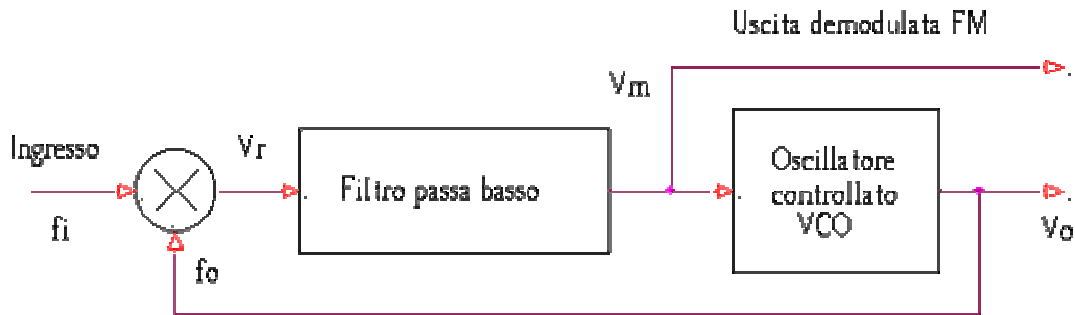


Fig. 4 – PLL con rivelatore di fase analogico

Ponendo all'ingresso due segnali sinusoidali come fatto in precedenza si avrà all'uscita:

$$V_r(t) = K \cdot V_i(t) \cdot V_o(t) = K \cdot V_{iM} \sin \omega_i t \cdot V_{oM} \sin[\omega_i t + \varphi(t)]$$

Ricordando la formula di Werner:

$$\sin \alpha \cdot \sin \beta = \frac{1}{2} [\cos(\alpha - \beta) - \cos(\alpha + \beta)]$$

si ha :

$$V_r(t) = K \frac{V_{iM} \cdot V_{oM}}{2} \{ \cos[\omega_i t - \omega_o t - \varphi(t)] - \cos[\omega_i t + \omega_o t + \varphi(t)] \}$$

La quantità K nelle precedenti formule rappresenta la costante di moltiplicazione. Il segnale $V_r(t)$ è costituito da due componenti, una a frequenza $f_i - f_o$ e l'altra a frequenza $f_i + f_o$. se le due frequenze tendono a coincidere le due componenti del segnale d'uscita del moltiplicatore saranno una a frequenza alta e l'altra a frequenza bassa. Dimensionando opportunamente il filtro verrà eliminata la componente ad alta frequenza e si avrà:

$$V_r(t) = K \frac{V_{iM} \cdot V_{oM}}{2} \cos[\omega_i t - \omega_o t - \varphi(t)]$$

Quando il PLL è agganciato si ha $f_o = f_i$ e quindi:

$$V_r(t) = K \frac{V_{IM} \cdot V_{OM}}{2} \cos \varphi = K_D \cdot \cos \varphi$$

Il valore K_D (espresso in V/rad) è detto **sensibilità del rilevatore di fase** ed è fornita dal costruttore del dispositivo. Questo rivelatore di fase possiede però una caratteristica non lineare (la tensione d'uscita è infatti funzione del coseno) e presenta una zona d'impiego compresa tra 0° e 180° , ovvero riesce a determinare la differenza di fase di due segnali solo se questa è minore di 180° ; in caso contrario la differenza di fase non è veritiera.

In fig. 5 è riportato l'andamento tipico della tensione di uscita di un rilevatore di fase analogico. Come si nota il segnale, una volta a regime è costituito da due componenti, una continua e l'altra ad alta frequenza. All'inizio la frequenza del segnale varia fino a quando non si raggiunge la cattura e quindi l'aggancio.

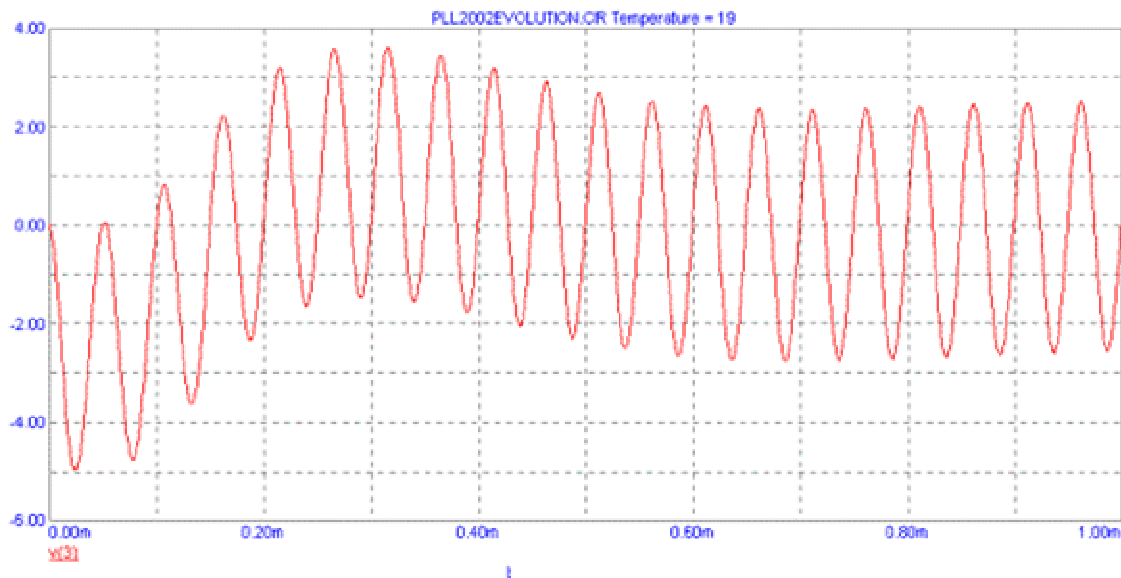


Fig. 5 - Tensione di uscita di un rilevatore di fase analogico

Il rilevatore di fase può essere anche di tipo digitale, squadrandolo prima il segnale sinusoidale tramite trigger di Schmitt. I rilevatori digitali possono essere realizzati a porte XOR, con flip-flop JK o con flip-flop di tipo D.

In fig .6 si mostra il modello a XOR insieme alla tabella della verità e ai diagrammi di tempificazione.

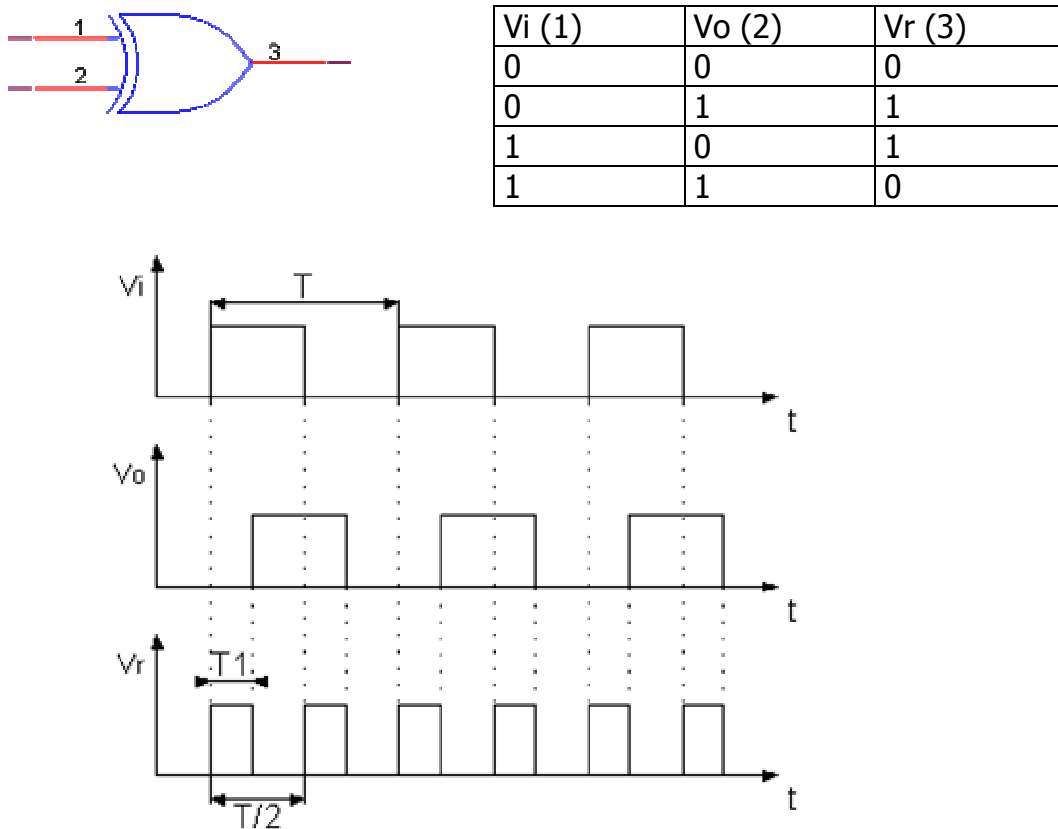


Fig. 6 – Rivelatore di fase digitale a XOR

Se le frequenze dei segnali Vi e Vo sono diverse e variabili è variabile anche la durata T_1 degli impulsi di uscita di Vr e di conseguenza anche il valore medio in uscita del filtro passa basso. Se i segnali di ingresso della porta hanno la stessa frequenza allora l'uscita è costituita da un treno di impulsi aventi frequenza doppia rispetto a quella d'ingresso con T_1 costante. Il duty cycle del segnale d'uscita è uguale a:

$$D = \frac{T_1}{T/2} = 2 \frac{T_1}{T}$$

In relazione ai segnali sinusoidali si ha:

$$\frac{\Delta\phi}{2\pi} = \frac{T_1}{T}$$

e quindi:

$$\Delta\phi = 2\pi \frac{T_1}{T} = \pi \cdot D$$

Anche in questo caso la funzione è periodica e compresa tra 0° e 180° , come mostrato nella fig. 7, ma tale intervallo è lineare ed è necessario che entrambi gli ingressi siano ad onda perfettamente quadra e con un duty cycle del 50%, altrimenti sorgerebbero problemi di stabilità. Il circuito presenta un'alta immunità ai disturbi che si sovrappongono al segnale d'ingresso.

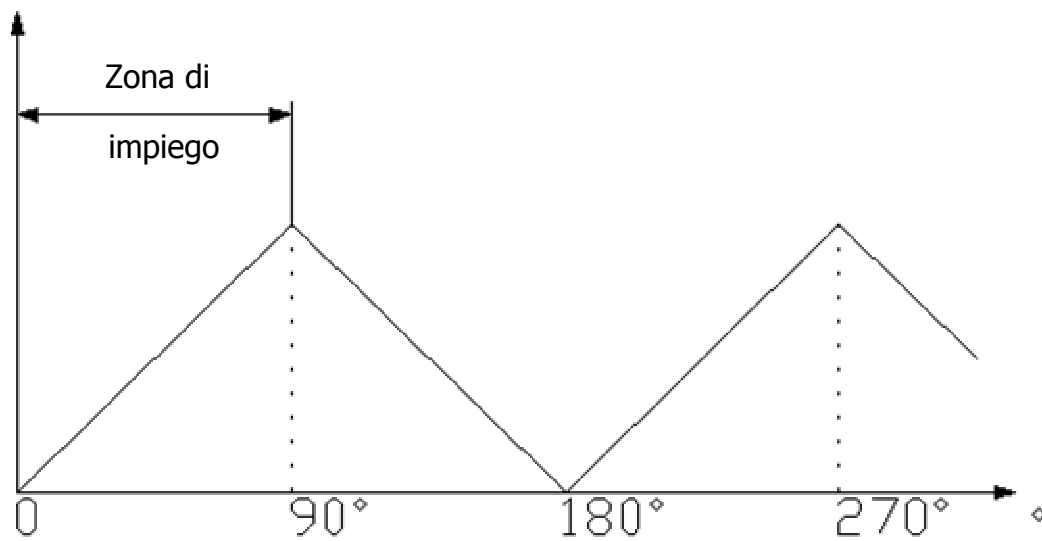


Fig. 7

Il rilevatore di fase a flip flop può essere realizzato sia con uno a tipo D sia con un JK in modalità toggle come mostrato in fig. 8.

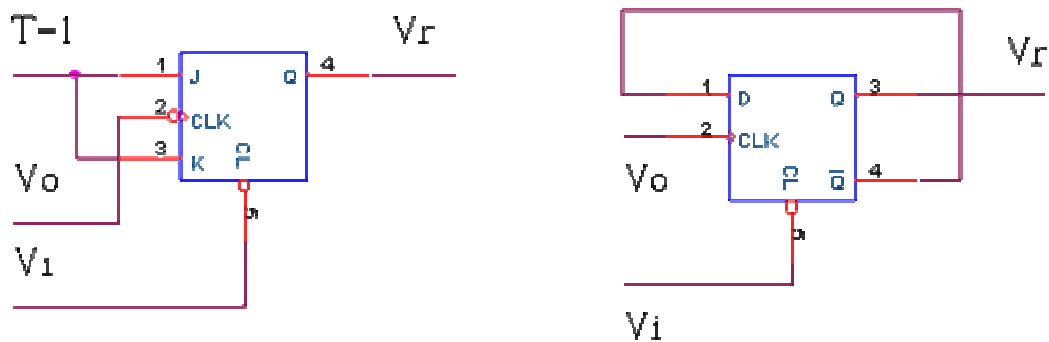


Fig. 8 – Flip-Flop di tipo D

Il rilevatore a flip flop presenta il vantaggio che è sensibile ai fronti del segnale e non allo stato come mostrato nella fig. 9.

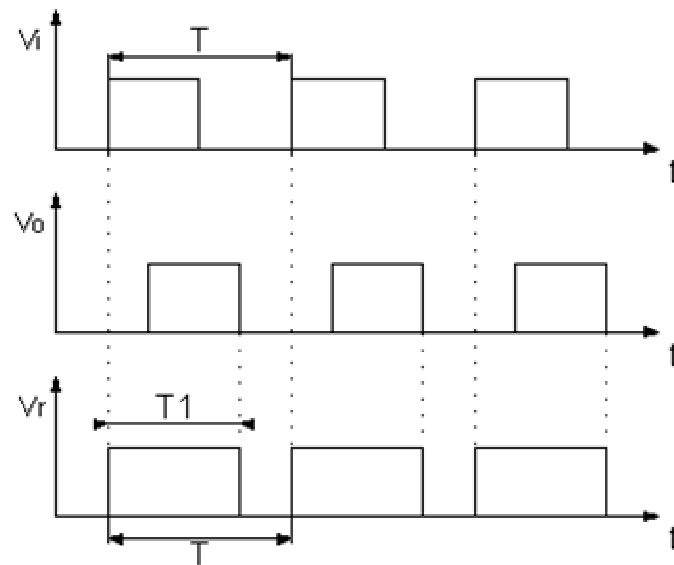


Fig. 9 – Risposta di un rilevatore di fase a flip-flop

Questo fatto comporta che il campo di linearità va da 0° a 360° a differenza dei tipi precedentemente analizzati come mostrato in fig.10. Ciò comporta un netto miglioramento delle caratteristiche di aggancio e di tenuta d'aggancio. Non esistono in oltre limitazioni per il duty cycle.

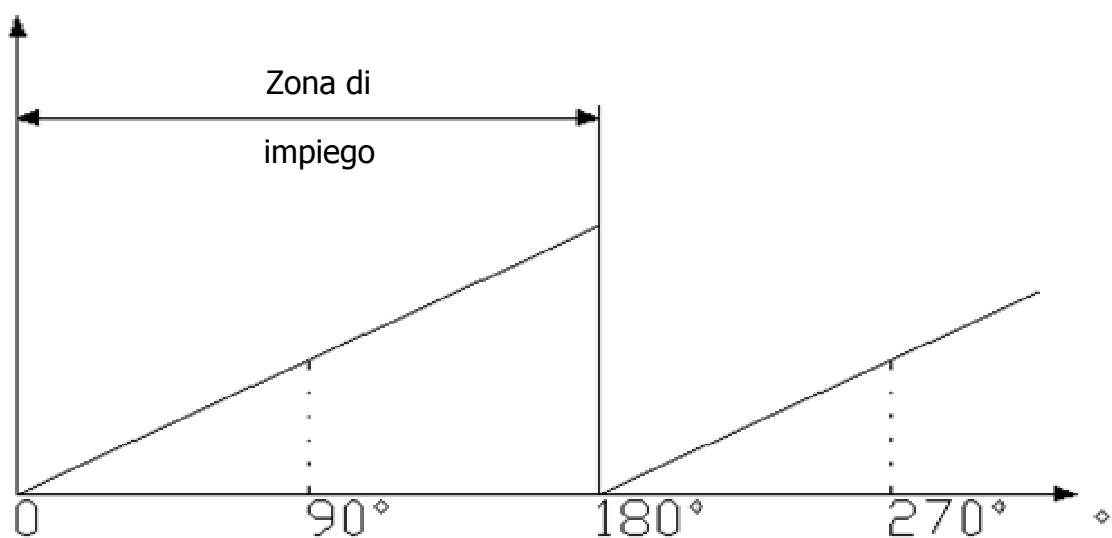


Fig. 10

○ VCO

Il VCO (Voltage Controlled Oscillator) è un convertitore tensione frequenza in grado di generare segnali sinusoidali a frequenza f_o proporzionale all'ampiezza del segnale V_m applicato all'ingresso.

$$f_o = K_o \cdot V_m$$

dove K_o è definita **sensibilità del VCO** espressa in rad/V s ed è fornita dal costruttore. Questo valore rappresenta la pendenza della retta che rappresenta il rapporto tra tensione e frequenza. I parametri principali sono la frequenza di free running f_o , ovvero la frequenza alla quale il VCO oscilla fuori dal campo di cattura; la massima frequenza ottenibile all'uscita che coincide con la massima frequenza di lavoro del PLL. In generale, quando la differenza di fase è minima, 0° , il VCO oscillerà ad una frequenza minima, quando la differenza sarà massima, 180° per il rilevatore di fase analogico e con la porta XOR, 360° per quello col latch, ad una frequenza massima, entrambe regolabili tramite una rete RC. Essendo K_o la pendenza della curva caratteristica, può essere espressa come:

$$K_o = \frac{2\pi(f_{\max} - f_{\min})}{V_{DD}} \quad (1)$$

○ Filtro passa-basso

Il filtro passa basso, posto all'uscita del comparatore di fase, esegue due fondamentali funzioni: estrae il valore medio del segnale in uscita del comparatore di fase e controlla il comportamento dinamico del sistema (cattura, aggancio, larghezza di banda) ovvero la risposta al transitorio dell'anello. In genere il filtro è costituito da una rete RC del primo ordine, che chiudendo l'anello diventa del secondo. Un filtro del secondo ordine è caratterizzato dalla risposta al gradino, dove è presente una sovra elongazione che si smorza dopo che il PLL si è agganciato alla frequenza d'ingresso. Nel caso in cui all'ingresso del PLL vi sia un segnale digitale, come mostrato nel caso del rilevatore di fase a porta XOR, detta V_{rM} l'ampiezza massima del segnale e $T/2$ il periodo, il valore medio vale:

$$V_m = \frac{V_{rM} \cdot T_1}{T/2} = \frac{2V_{rM} \cdot T_1}{T}$$

ricordando che:

$$\Delta\phi = 2\pi \frac{T_1}{T}$$

si avrà:

$$V_m = \frac{V_{rM} \cdot \Delta\phi}{\pi} = K_D \cdot \Delta\phi$$

dove si è posto:

$$K_D = \frac{V_{rM}}{\pi} \quad (2)$$

Il termine $K_D = V_{rM} / \pi$ [V/rad], rappresenta la **sensibilità del rilevatore di fase**. Per dimensionare il filtro del secondo ordine occorre analizzare la funzione di trasferimento del PLL ad anello chiuso:

$$F(s) = \frac{\omega_n^2}{s^2 + 2\xi\omega_n s + \omega_n^2}$$

Si può dimostrare che valgono le seguenti relazioni:

Pulsazione naturale:

$$\omega_n = \sqrt{K_D \cdot K_0 \cdot \omega_t}$$

Pulsazione di taglio:

$$\omega_t = \frac{1}{RC}$$

Smorzamento:

$$\xi = \frac{1}{2} \sqrt{\frac{\omega_t}{K_D \cdot K_0}}$$

Generalmente lo smorzamento si pone $\xi = 0.7$ per la Condizione di Butterworth.

La costante del tempo deve valere:

$$RC = \frac{1}{4\xi^2 \cdot K_D \cdot K_0} \quad (3)$$

Per concludere si elencano le caratteristiche fondamentali del PLL:

- ☐ Frequenza di free running del VCO, compreso tra la frequenza minima e massima di oscillazione, regolabile esternamente da componenti RC;
- ☐ Campo di sintonia, ovvero il rapporto tra la frequenza massima e quella minima;
- ☐ Campo di cattura, ovvero l'intervallo di frequenza nel quale il VCO riesce a catturare ed agganciare la frequenza d'ingresso, facendo in modo che questa sia uguale quella di uscita;
- ☐ Campo di aggancio, cioè la zona in cui il VCO riesce a seguire la variazione di frequenza dell'ingresso.

ESERCITAZIONE PRATICA – RICETRASMETTITORE A PLL

In fig. 11 si riporta lo schema elettrico del ricetrasmettitore a PLL.

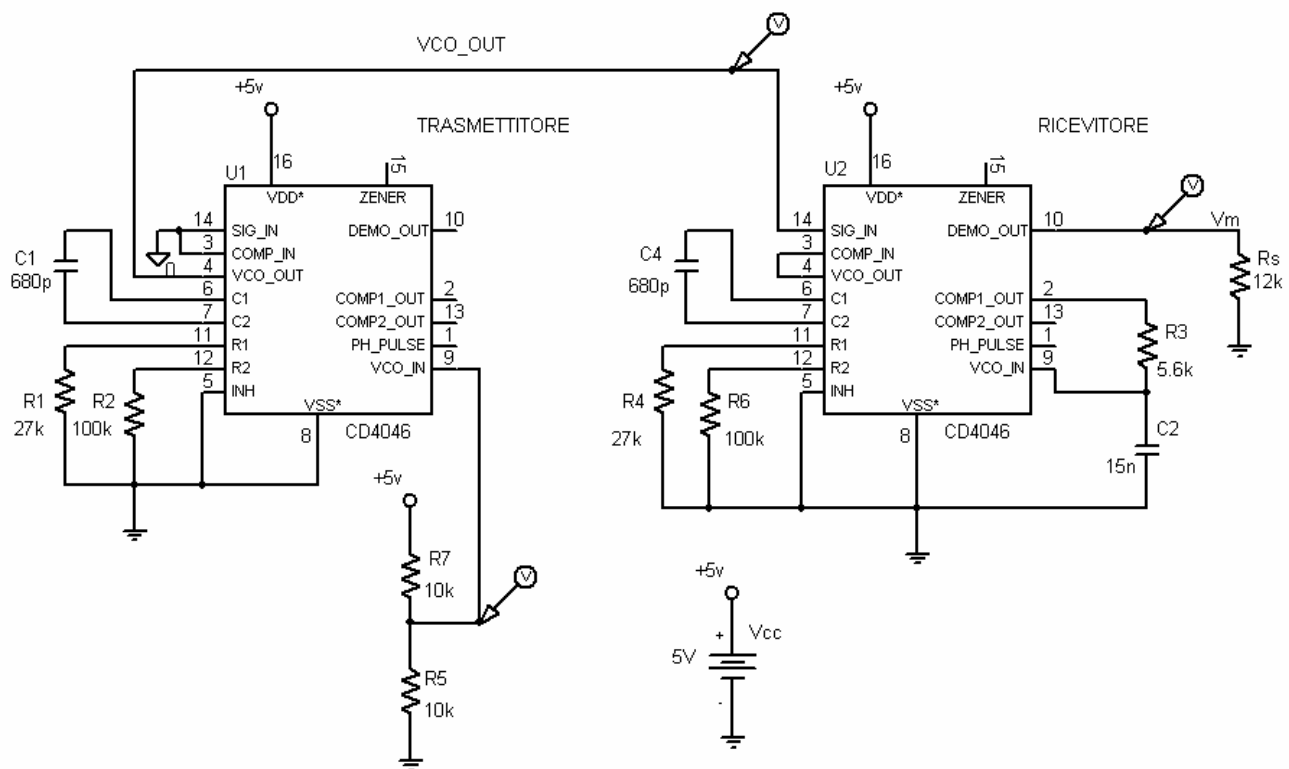


Fig. 11 – Ricetrasmettitore a PLL-CD4046

Il blocco trasmettitore è realizzato sfruttando il VCO interno che restituisce in uscita un segnale digitale con una frequenza proporzionale all'ampiezza del segnale d'ingresso che in questo primo caso è prelevato da un partitore di tensione con $V = V_{cc}/2$. Si ha perciò in ingresso una tensione continua che produce in uscita al VCO un segnale a frequenza fissa (fig. 12).

Tale segnale viene inviato al blocco ricevitore che ha il compito di demodulare le variazioni di frequenza del segnale VCO_OUT ricostruendo il segnale di ingresso V_{in} come mostrato in fig. 12.

In questo caso il segnale è continuo: $V_m = V_{in} = 2.5V$

Si noti la presenza di una piccola tensione di ripple presente sul segnale di uscita V_m .

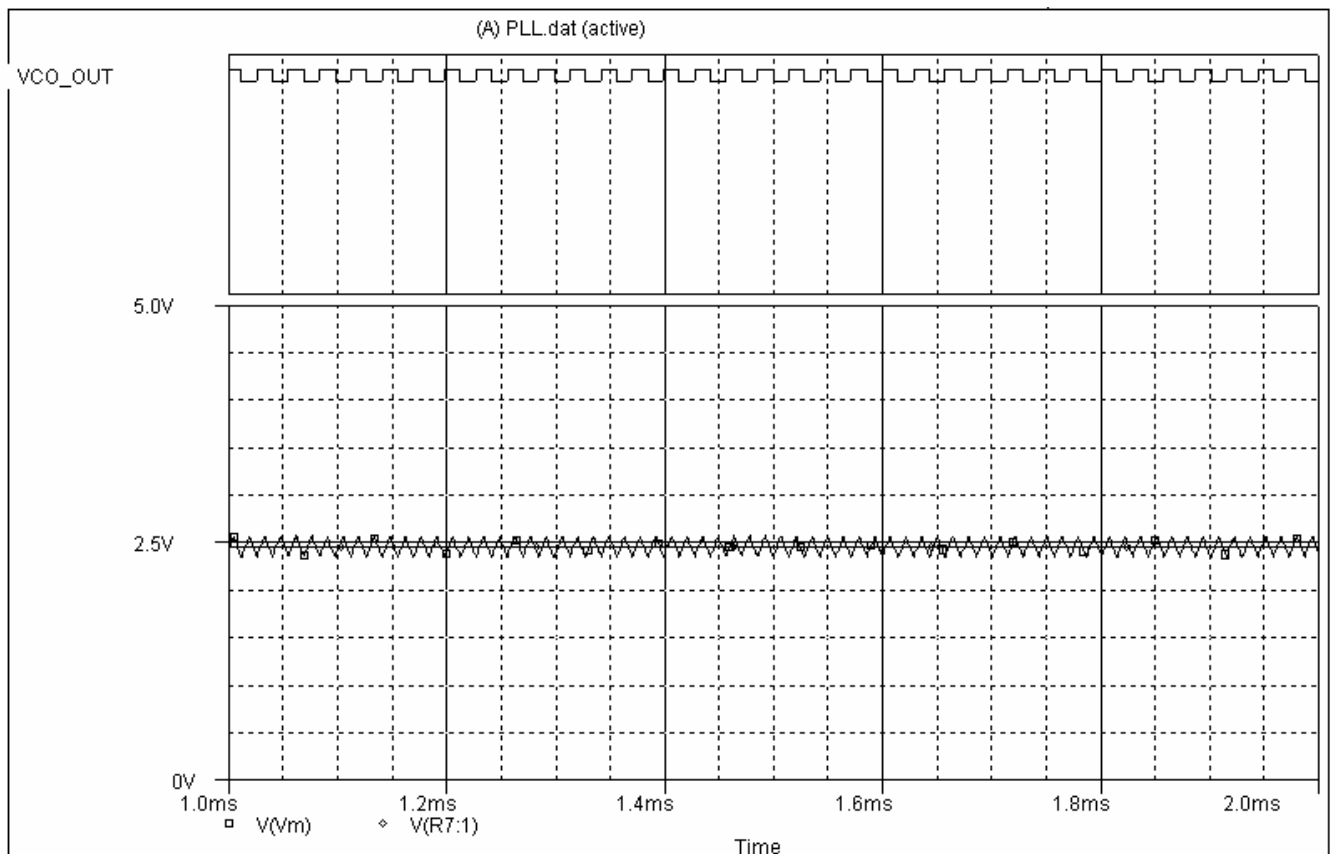


Fig. 12

Per progettare i valori delle resistenze R_1, R_2 , e del condensatore C_1 si è fatto riferimento alle tabelle e al procedimento fornito con il data-sheet dell'integrato CD4046 riportato in appendice.

Si è scelto di operare in modo che il PLL trasmettitore sia in grado di generare un segnale a frequenza variabile tra: $f_{\min} \cong 20\text{KHz}$ e $f_{\max} \cong 80\text{KHz}$

Ovviamente la tensione di entrata V_{in} deve essere inferiore a 2.5V in modo che VCO_IN sia compreso nel campo di lavoro $0 \div V_{cc}$.

Sfruttando le curve di progetto fornite dal costruttore si ricava:

1. Dalla curva riportata a pagina 26 fissando $R_2 = 100\text{K}\Omega$, $V_{cc} = 5\text{V}$ e $f_{\min} = 20\text{KHz}$ si ricava il valore di $C_1 = 680\text{pF}$ (valore commerciale);
2. Dalla curva riportata a pagina 27 noto il rapporto $f_{\max}/f_{\min}=4$ si ricava il rapporto $R_2/R_1=4$, pertanto si è posto $R_1 = 27\text{K}\Omega$ (valore commerciale).

Affinché il ricevitore operi nella stessa gamma di frequenze del trasmettitore si dovrà necessariamente avere: $R_4 = R_1$, $R_6 = R_2$ e $C_4 = C_1$

Per la progettazione del filtro passa-basso R_3 - C_2 del PLL ricevitore utilizzato come demodulatore di frequenza si devono seguire le indicazioni fornite dal costruttore nel datasheet dell'integrato.

Tenendo conto delle formule (1), (2) e (3) è possibile ottenere la costante di tempo del filtro:

$$R_3 C_2 = \frac{1}{4\xi^2 \cdot K_D \cdot K_0}$$

Posto $\xi = 0.7$ e noti i valori di:

$$K_D = \frac{V_{rM}}{\pi} = \frac{5}{3.14} = 1.59[\text{V/rad}]$$

$$K_0 \cong \frac{2\pi(f_{\max} - f_{\min})}{V_{CC}} = 75,4[\text{rad/V} \cdot \text{sec}]$$

Ponendo $C_2 = 15\text{nF}$ si ricava che:

$$R_3 = \frac{1}{4\xi^2 \cdot K_D \cdot K_0 \cdot C_2} = 98\text{K}\Omega$$

Sperimentalmente però con questo valore non si riusciva a ricostruire fedelmente i segnali e si è cambiato il valore di R_3 notando che con valori negli ordini di pochi $\text{K}\Omega$ si otteneva una buona ricostruzione del segnale. Si è scelto quindi $R_3 = 5.6\text{K}\Omega$

Dopo lo studio con segnali continui in entrata si deve analizzare il comportamento in alternata. Si è, dunque, modificato il circuito come mostrato in fig. 13 inserendo in ingresso un generatore di onde sinusoidali V_{in} . Il segnale d'ingresso V_{in} sinusoidale è inviato tramite un filtro passa-alto in modo che il segnale variabile abbia un offset di 2.5V prodotto dal partitore R_5 - R_7 . La frequenza di taglio del filtro vale:

$$f_t = \frac{1}{2\pi \cdot R_5 // R_7 \cdot C} \cong 1.5\text{Hz}$$

Pertanto il segnale d'ingresso a 1KHz non subisce attenuazione.

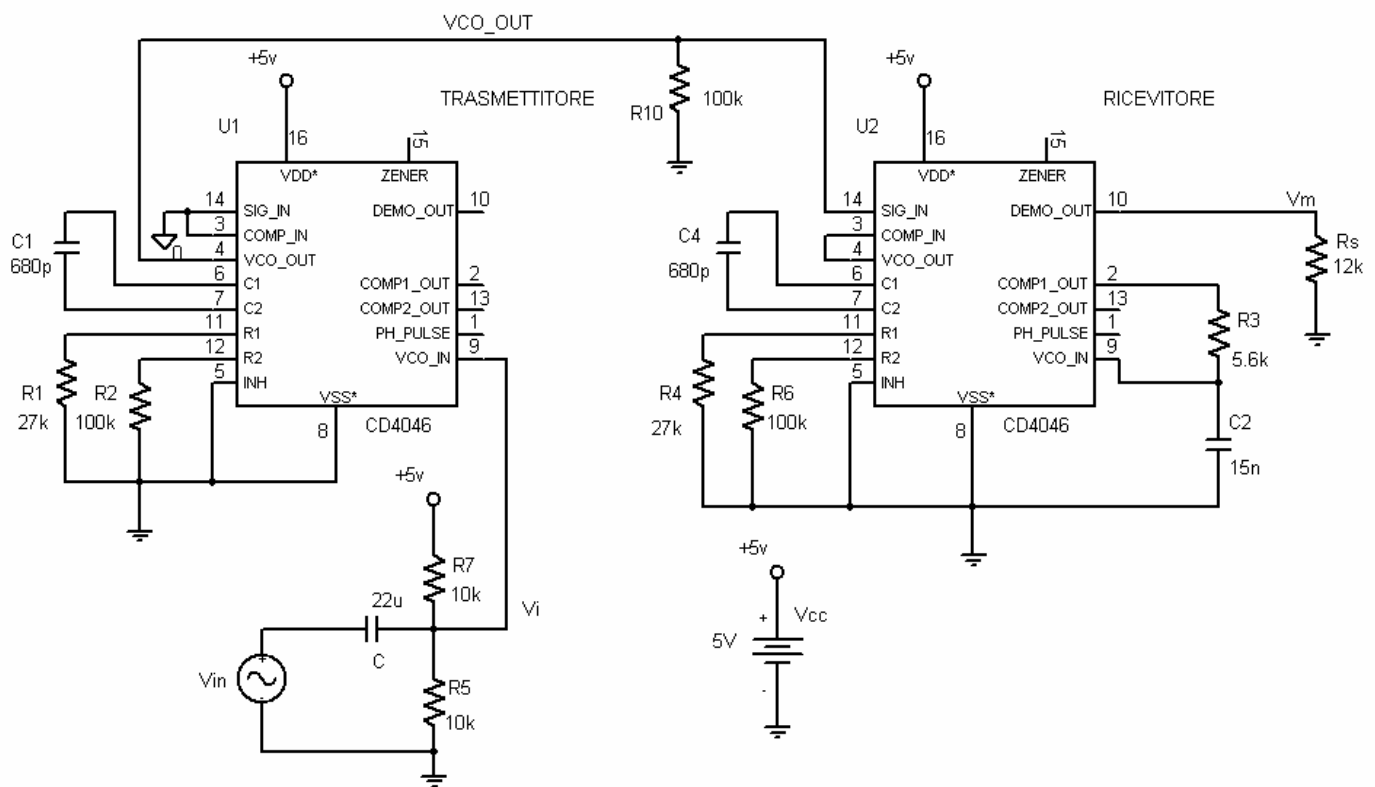


Fig. 13

In simulazione è stato necessario inserire una resistenza (R_{10}) per visualizzare meglio il segnale VCO_OUT.

Si è inoltre deciso di operare con segnali d'ingresso dell'ordine di pochi KHz.

Si riportano di seguito i valori assegnati al generatore Vsin per la simulazione con PSpice:

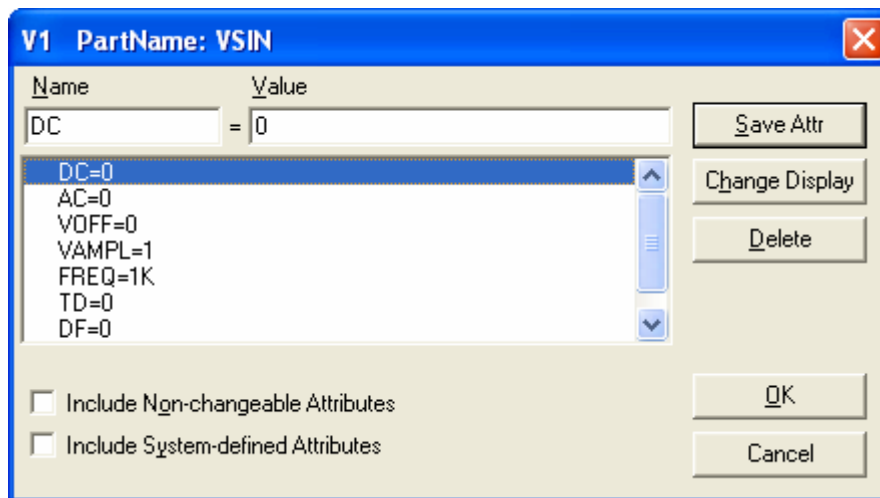


Fig. 14 – Parametri Vsin

Prima di partire con la simulazione bisogna impostare i parametri di Transient nel menu Setup di Schematic come mostrato in fig. 15, per gestire lo step e il periodo da prendere in considerazione.

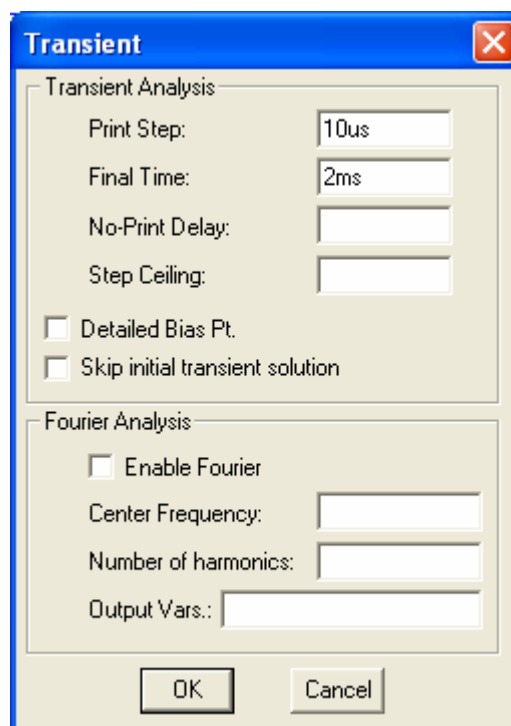


Fig. 15 – Parametri di Transient

Per osservare una più sensibile variazione di frequenza del segnale VCO_OUT si è impostato in ingresso un segnale sinusoidale 4V picco-picco come mostrato in fig. 16.

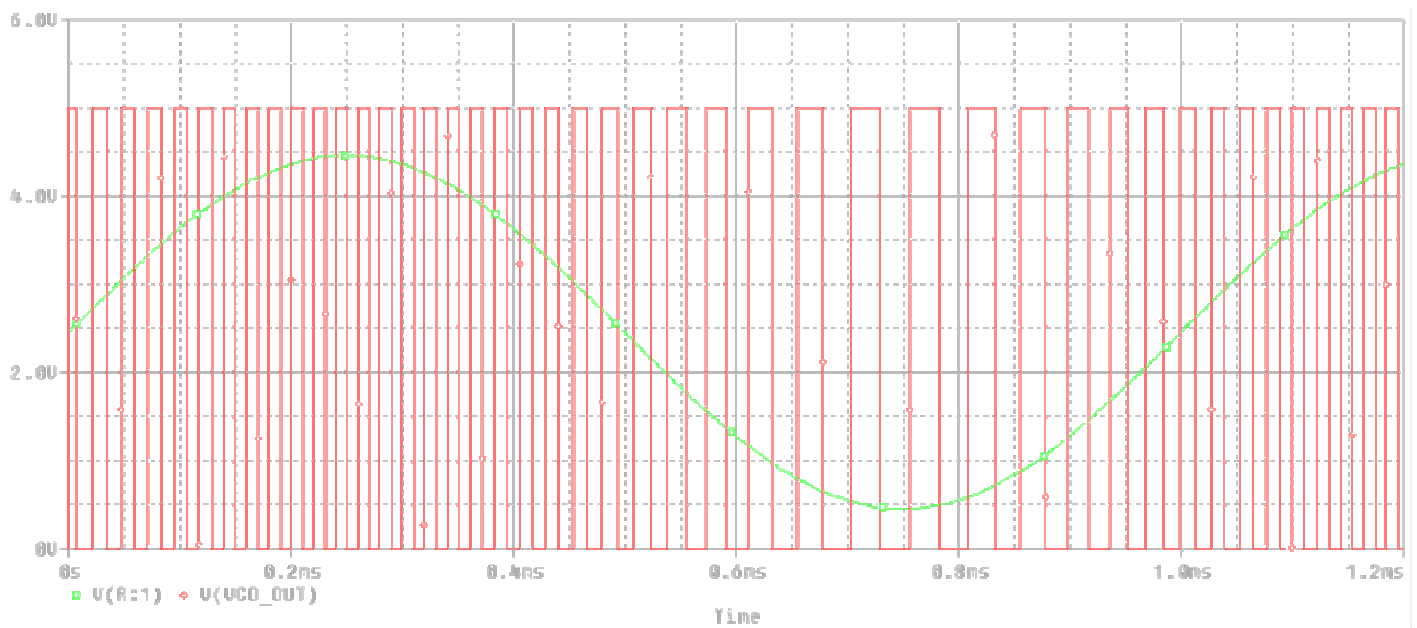


Fig. 16

In fig. 17 si osserva la ricostruzione dell'involuppo effettuata dal PLL in ricezione che segue perfettamente il segnale di ingresso salvo un rumore in alta frequenza che disturba leggermente il segnale V_m . Questo rumore può essere attenuato utilizzando un appropriato filtro, qualora ce ne sia bisogno.

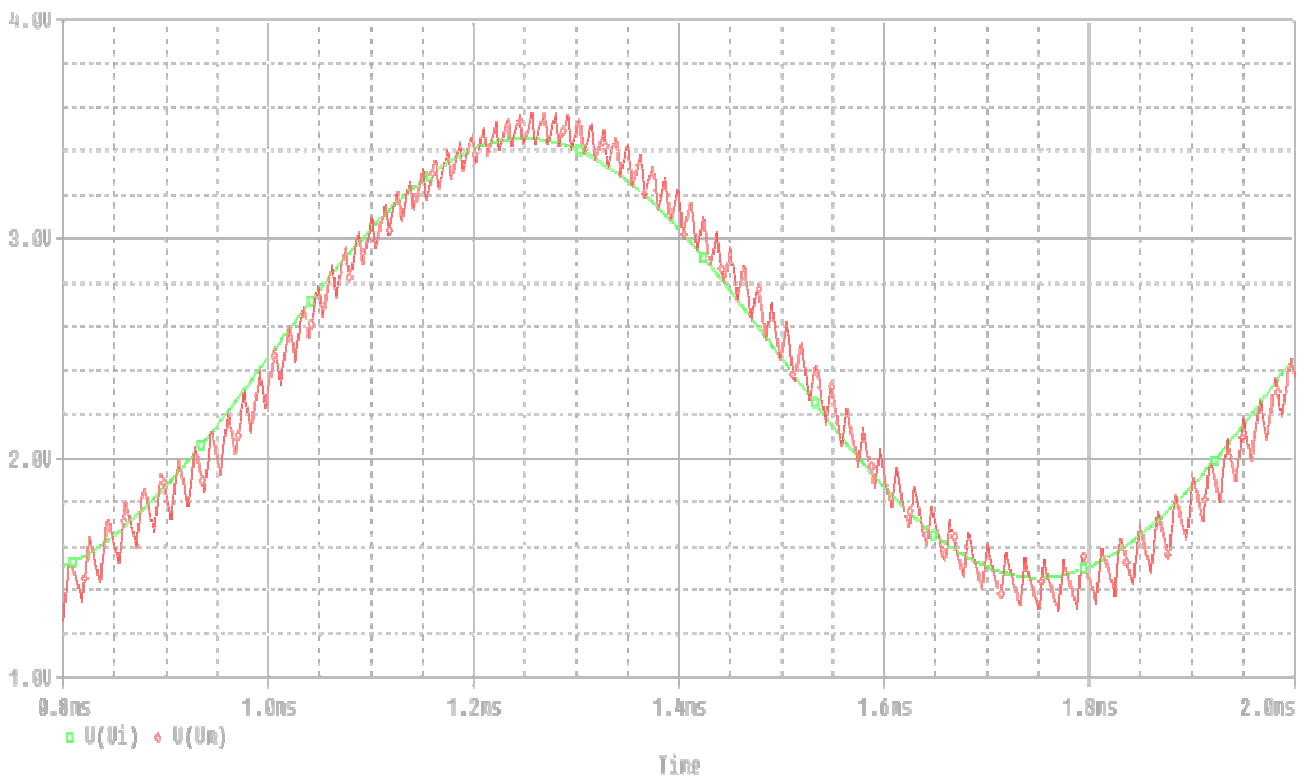


Fig. 17

Dopo aver testato il progetto nel laboratorio multimediale si è passati a realizzare il circuito su Bread-Board in laboratorio di telecomunicazioni come riportato in fig. 18.

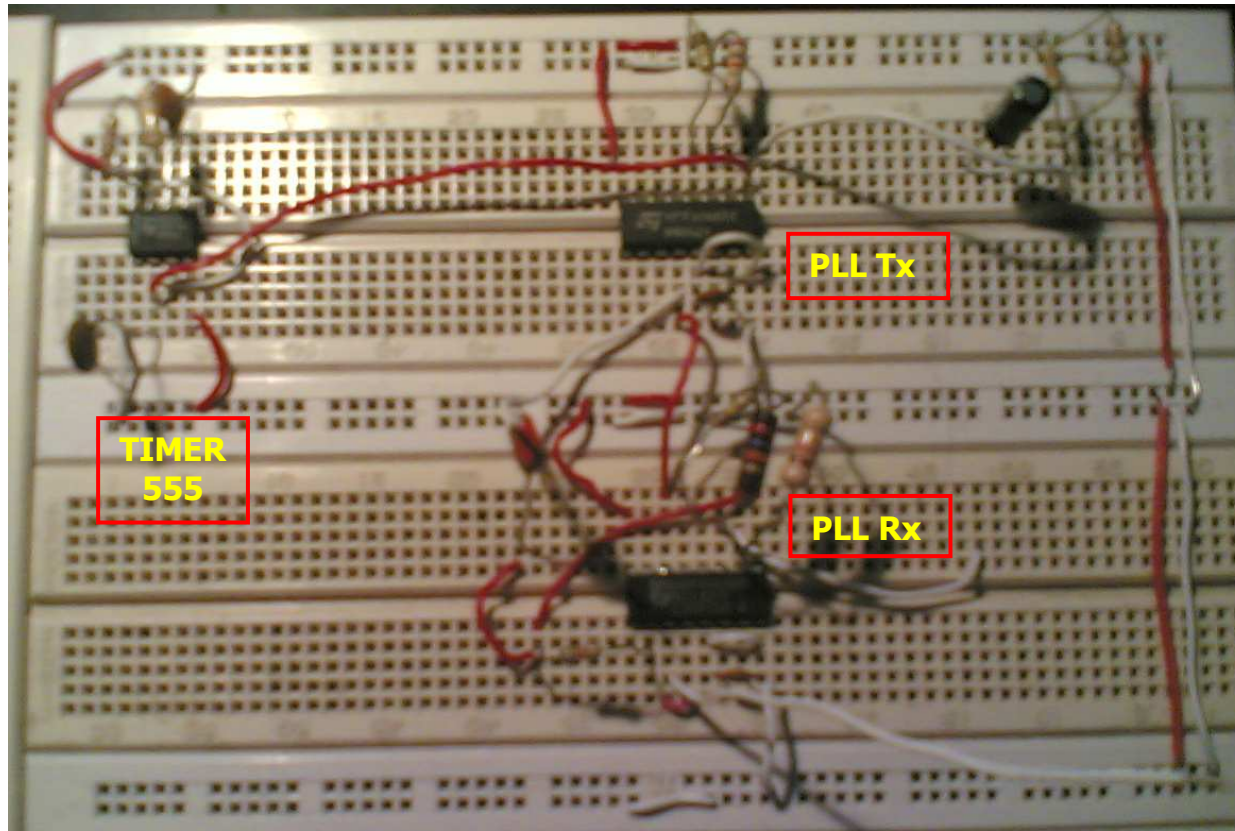


Fig. 18 – Realizzazione su Bread-Board

In questo schema il segnale V_{in} del PLL Tx è stato prelevato ai capi del condensatore di temporizzazione di un timer 555 come mostrato in fig. 19. In tal modo si trasmette un segnale più complesso rispetto a una pura sinusoide.

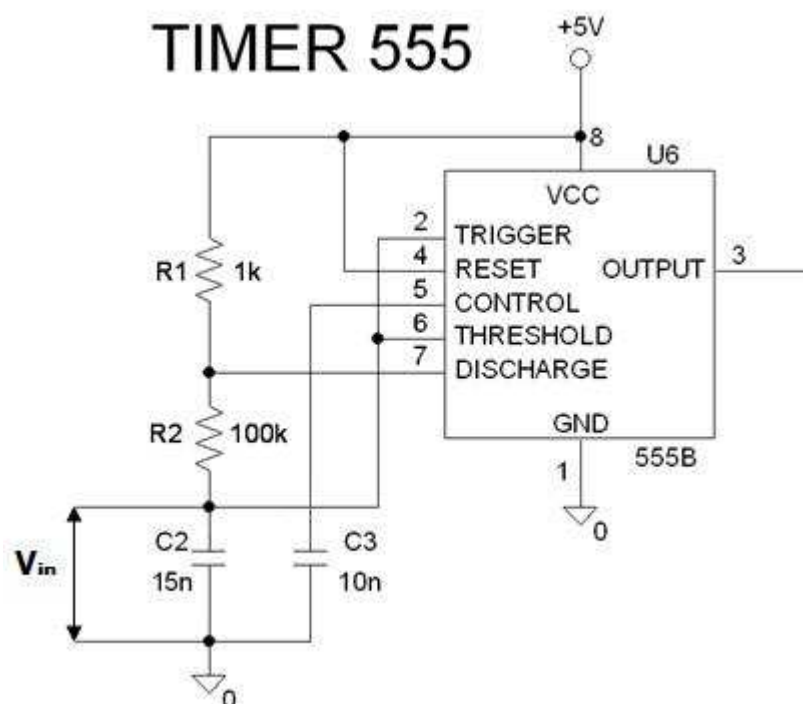


Fig. 19 – Schema elettrico del timer 555

È noto che in un timer 555 valgono le seguenti formule:

$$T_H = 0.7 \cdot (R_1 + R_2) \cdot C_2$$

$$T_L = 0.7 \cdot R_2 \cdot C_2$$

$$T = T_H + T_L = 1.4 \cdot R_2 \cdot C_2$$

$$f = \frac{1}{T}$$

Pertanto il segnale generato dal timer 555, essendo $R_2 \gg R_1$ ha una frequenza:

$$f = \frac{1}{T} = 500\text{Hz}$$

La tensione ai capi di C_2 oscilla, come è noto, tra $\frac{V_{CC}}{3}$ e $\frac{2V_{CC}}{3}$.

In fig. 20 si mostra la risposta oscillografica. Si noti che il segnale viene fedelmente ricostruito dal PLL Rx.

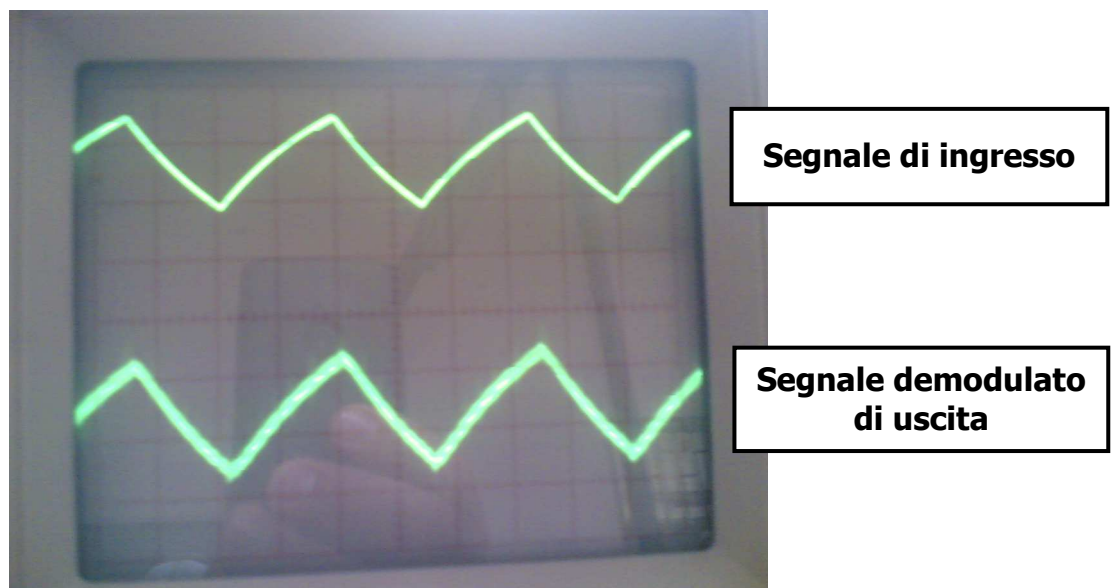


Fig. 20

È stata svolta anche l'analisi sperimentale con ingresso sinusoidale prelevato da un generatore di segnali.

In fig. 21 si mostra la disposizione dei due apparati.

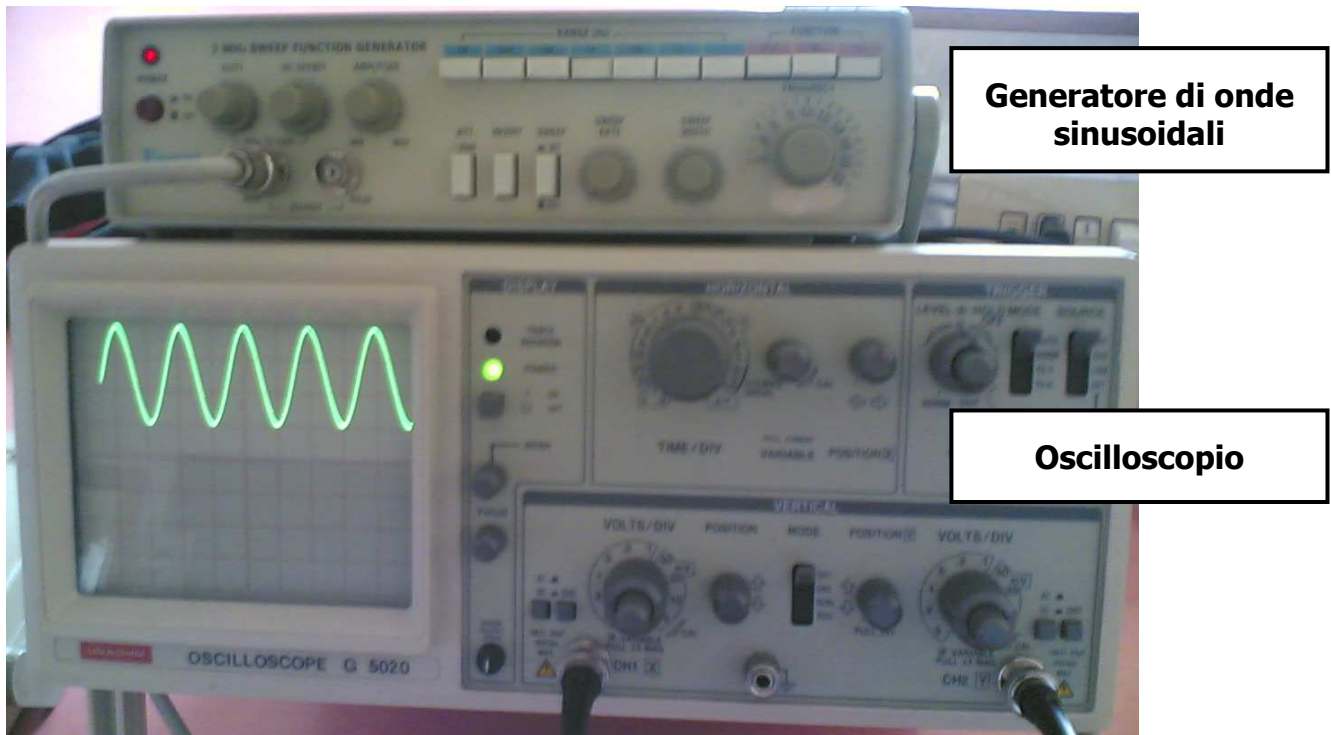


Fig. 21

In fig. 22 si mostrano i segnali VCO_OUT del trasmettitore e del ricevitore che sono leggermente sfasati ma comunque agganciati.

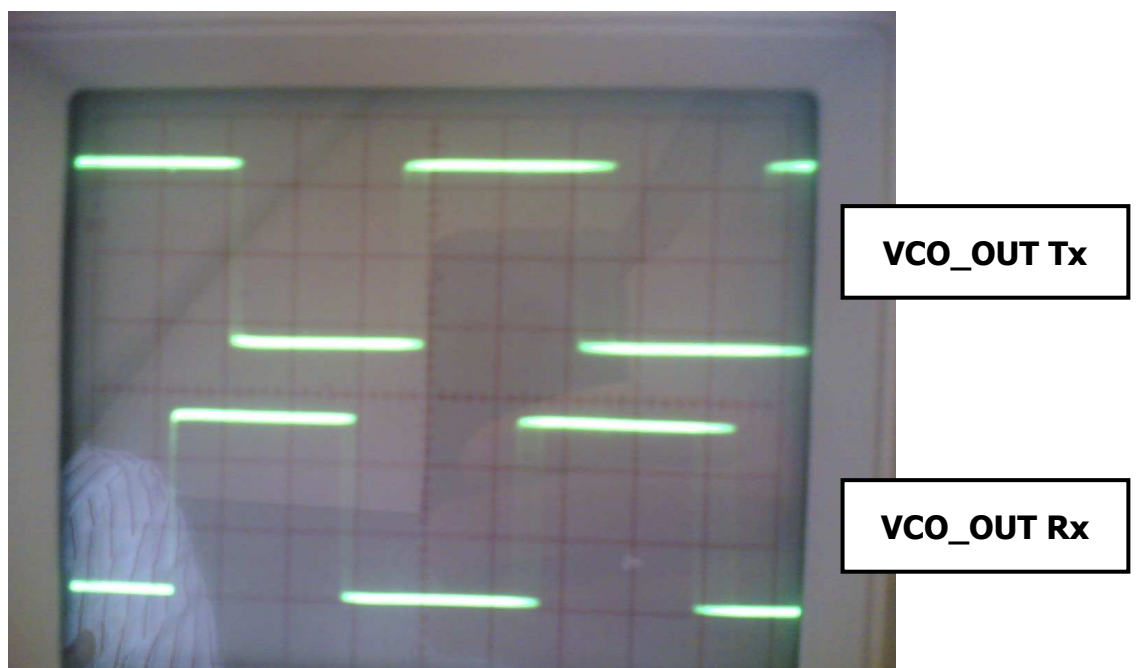


Fig. 22 – Agganciamento VCO Tx/Rx

Si è verificato che il PLL Rx ricostruisce il segnale di ingresso V_{in} come si mostra in fig. 23.

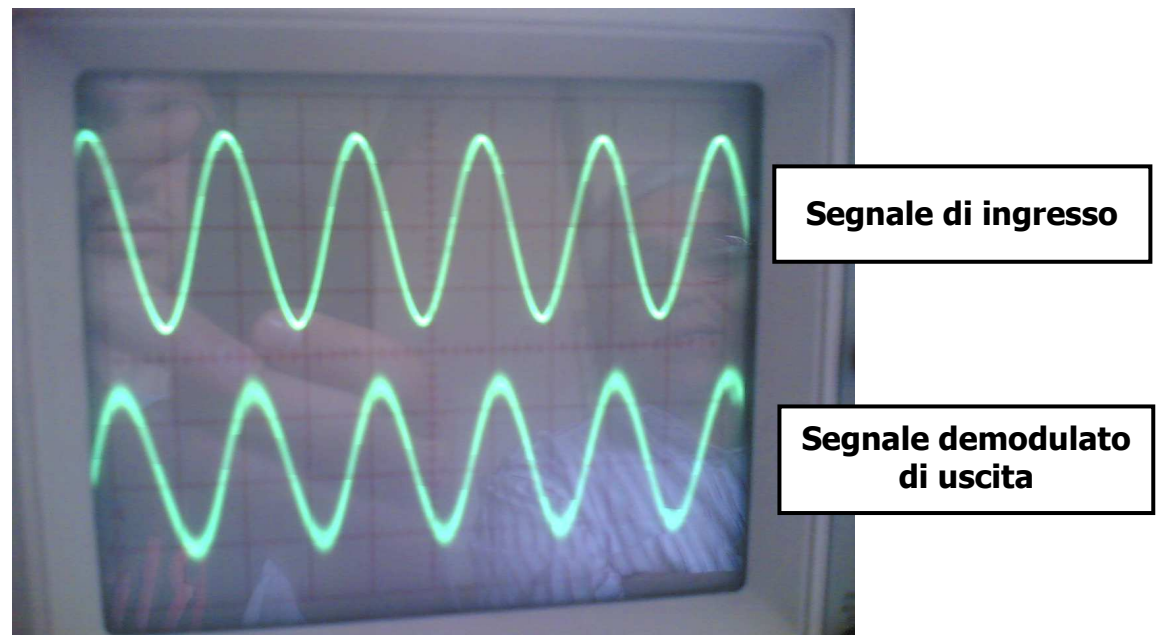
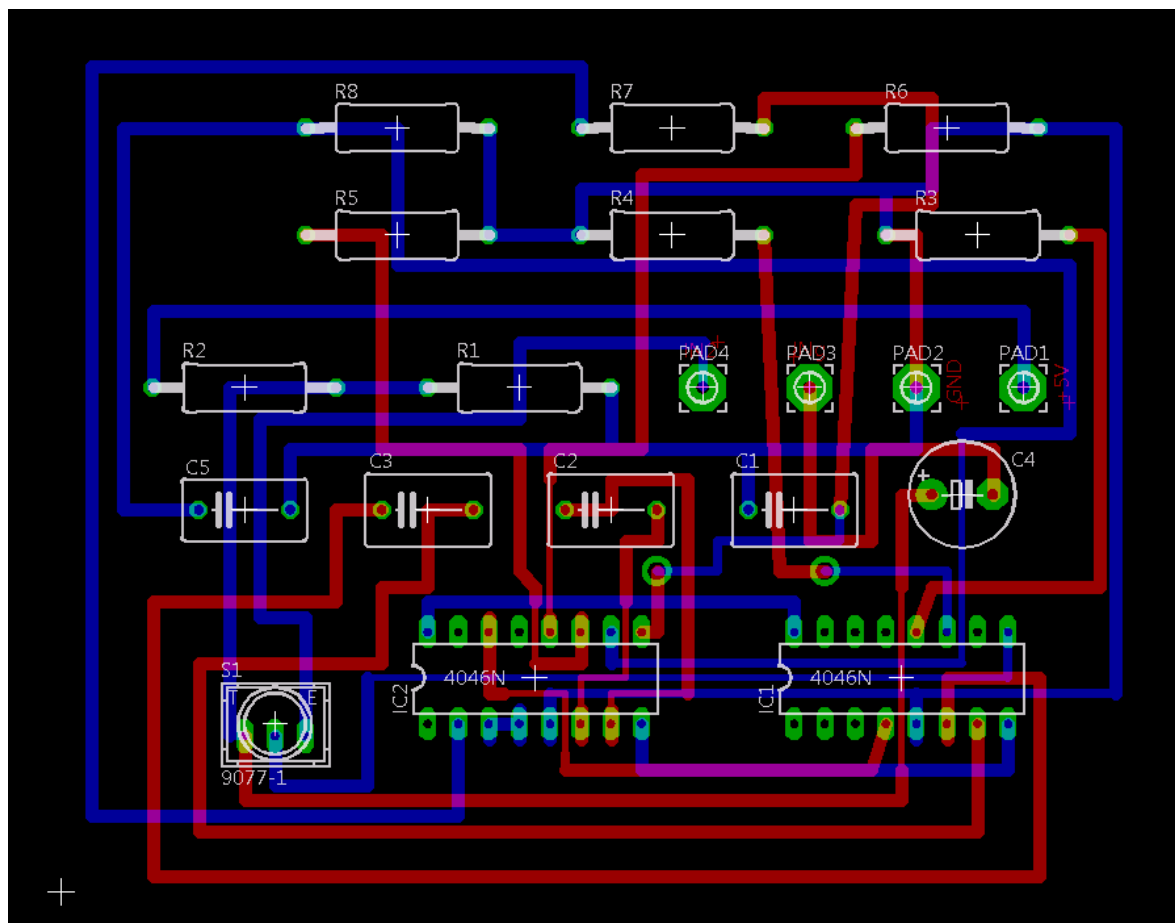


Fig.23

Dopo le fasi di progetto e di test del circuito si è realizzato il circuito stampato utilizzando il software Eagle Versione 4.16r2 per ottenere lo sbroglio e lo schema da stampare tramite foto impressione sulla basetta a doppia faccia.

In fig.24 è rappresentato lo schema ottenuto con Eagle.



Le piste rosse rappresentano le piste sulla vista frontale della basetta e quindi andranno sullo stesso lato dei componenti mentre le piste blu sono quelle sul retro della basetta. Questo progetto necessita due facce poiché alcuni collegamenti sono difficoltosi da effettuare sulla stessa faccia e per evitare ponticelli si stampano le piste anche sulla faccia superiore.

APPENDICE

DATASHEET DELL'INTEGRATO PLL 4046

Philips Semiconductors

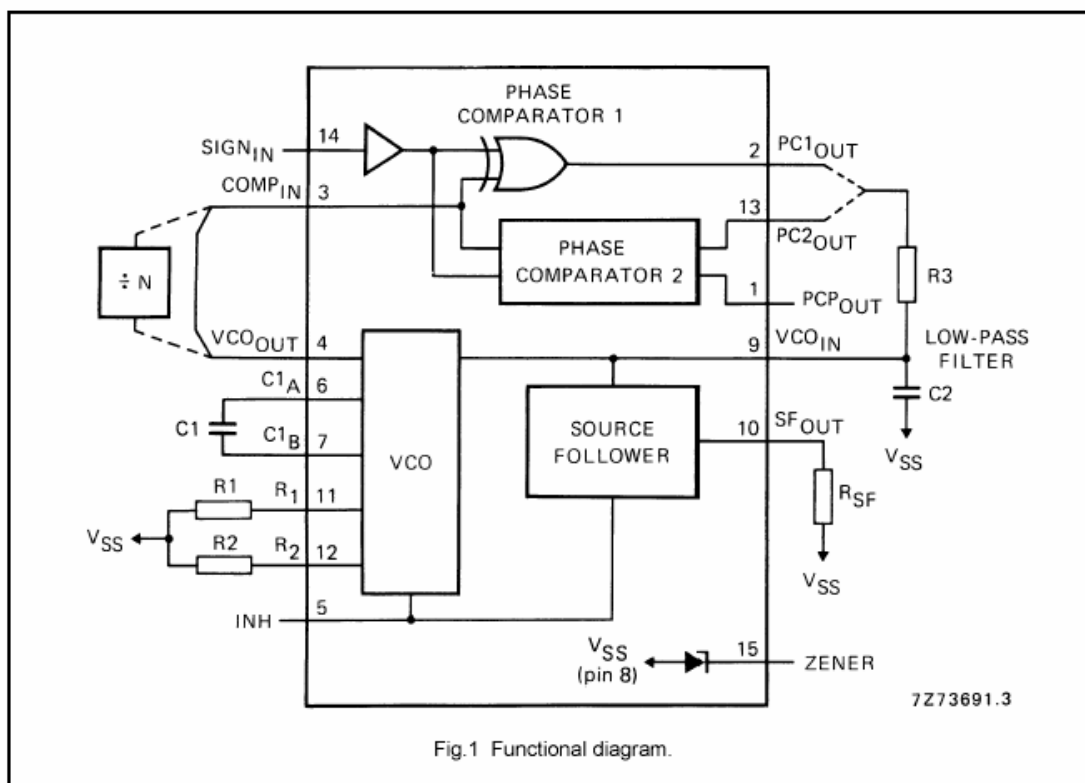
Product specification

Phase-locked loop

HEF4046B
MSI

DESCRIPTION

The HEF4046B is a phase-locked loop circuit that consists of a linear voltage controlled oscillator (VCO) and two different phase comparators with a common signal input amplifier and a common comparator input. A 7 V regulator (zener) diode is provided for supply voltage regulation if necessary. For functional description see further on in this data.



HEF4046BP(N): 16-lead DIL; plastic
(SOT38-1)
HEF4046BD(F): 16-lead DIL; ceramic (cerdip)
(SOT74)
HEF4046BT(D): 16-lead SO; plastic
(SOT109-1)
(): Package Designator North America

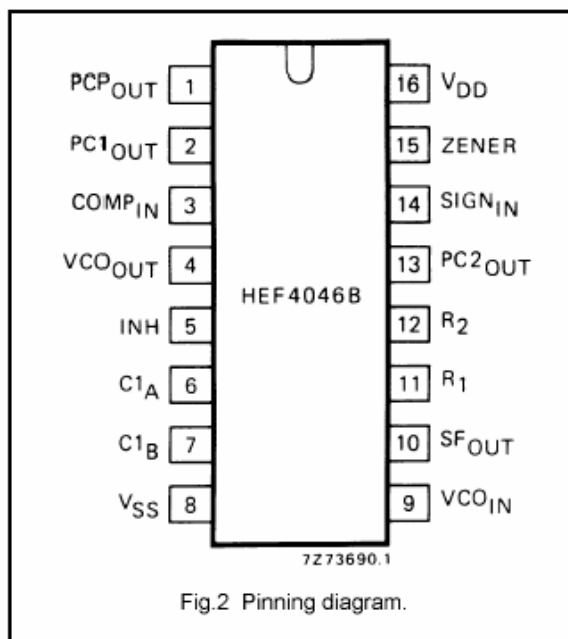
FAMILY DATA

See Family Specifications

I_{DD} LIMITS category MSI

See further on in this data.

Phase-locked loop

HEF4046B
MSI

PINNING

1. Phase comparator pulse output
2. Phase comparator 1 output
3. Comparator input
4. VCO output
5. Inhibit input
6. Capacitor C1 connection A
7. Capacitor C1 connection B
8. V_{SS}
9. VCO input
10. Source-follower output
11. Resistor R1 connection
12. Resistor R2 connection
13. Phase comparator 2 output
14. Signal input
15. Zener diode input for regulated supply.

FUNCTIONAL DESCRIPTION

VCO part

The VCO requires one external capacitor (C1) and one or two external resistors (R1 or R1 and R2). Resistor R1 and capacitor C1 determine the frequency range of the VCO. Resistor R2 enables the VCO to have a frequency off-set if required. The high input impedance of the VCO simplifies the design of low-pass filters; it permits the designer a wide choice of resistor/capacitor ranges. In order not to load the low-pass filter, a source-follower output of the VCO input voltage is provided at pin 10. If this pin (SF_{OUT}) is used, a load resistor (R_{SF}) should be connected from this pin to V_{SS}; if unused, this pin should be left open. The VCO output (pin 4) can either be connected directly to the comparator input (pin 3) or via a frequency divider. A LOW level at the inhibit input (pin 5) enables the VCO and the source follower, while a HIGH level turns off both to minimize stand-by power consumption.

Phase comparators

The phase-comparator signal input (pin 14) can be direct-coupled, provided the signal swing is between the standard HE4000B family input logic levels. The signal must be capacitively coupled to the self-biasing amplifier at the signal input in case of smaller swings. Phase comparator 1 is an EXCLUSIVE-OR network. The signal and comparator input frequencies must have a 50% duty

factor to obtain the maximum lock range. The average output voltage of the phase comparator is equal to $\frac{1}{2} V_{DD}$ when there is no signal or noise at the signal input. The average voltage to the VCO input is supplied by the low-pass filter connected to the output of phase comparator 1. This also causes the VCO to oscillate at the centre frequency (f_0). The frequency capture range ($2 f_c$) is defined as the frequency range of input signals on which the PLL will lock if it was initially out of lock. The frequency lock range ($2 f_L$) is defined as the frequency range of input signals on which the loop will stay locked if it was initially in lock. The capture range is smaller or equal to the lock range.

With phase comparator 1, the range of frequencies over which the PLL can acquire lock (capture range) depends on the low-pass filter characteristics and this range can be made as large as the lock range. Phase comparator 1 enables the PLL system to remain in lock in spite of high amounts of noise in the input signal. A typical behaviour of this type of phase comparator is that it may lock onto input frequencies that are close to harmonics of the VCO centre frequency. Another typical behaviour is, that the phase angle between the signal and comparator input varies between 0° and 180° and is 90° at the centre frequency. Figure 3 shows the typical phase-to-output response characteristic.

Phase-locked loop

HEF4046B
MSI

DESIGN INFORMATION

CHARACTERISTIC	USING PHASE COMPARATOR 1	USING PHASE COMPARATOR 2
No signal on $SIGN_{IN}$	VCO in PLL system adjusts to centre frequency (f_o)	VCO in PLL system adjusts to min. frequency (f_{min})
Phase angle between $SIGN_{IN}$ and $COMP_{IN}$	90° at centre frequency (f_o), approaching 0° and 180° at ends of lock range ($2 f_L$)	always 0° in lock (positive-going edges)
Locks on harmonics of centre frequency	yes	no
Signal input noise rejection	high	low
Lock frequency range ($2 f_L$)	the frequency range of the input signal on which the loop will stay locked if it was initially in lock; $2 f_L = \text{full VCO frequency range} = f_{max} - f_{min}$	
Capture frequency range ($2 f_C$)	the frequency range of the input signal on which the loop will lock if it was initially out of lock	
	depends on low-pass filter characteristics; $f_C < f_L$	$f_C = f_L$
Centre frequency (f_o)	the frequency of the VCO when VCO_{IN} at $\frac{1}{2}V_{DD}$	

VCO component selection

Recommended range for R1 and R2: 10 k Ω to 1 M Ω ; for C1: 50 pF to any practical value.

- VCO without frequency offset ($R2 = \infty$).
 - Given f_o : use f_o with Fig.7 to determine R1 and C1.
 - Given f_{max} : calculate f_o from $f_o = \frac{1}{2} f_{max}$; use f_o with Fig.7 to determine R1 and C1.
- VCO with frequency offset.
 - Given f_o and f_L : calculate f_{min} from the equation $f_{min} = f_o - f_L$; use f_{min} with Fig.8 to determine R2 and C1; calculate $\frac{f_{max}}{f_{min}}$ from the equation $\frac{f_{max}}{f_{min}} = \frac{f_o + f_L}{f_o - f_L}$; use $\frac{f_{max}}{f_{min}}$ with Fig. 9 to determine the ratio R2/R1 to obtain R1.
 - Given f_{min} and f_{max} : use f_{min} with Fig.8 to determine R2 and C1; calculate $\frac{f_{max}}{f_{min}}$; use $\frac{f_{max}}{f_{min}}$ with Fig.9 to determine R2/R1 to obtain R1.

Phase-locked loop

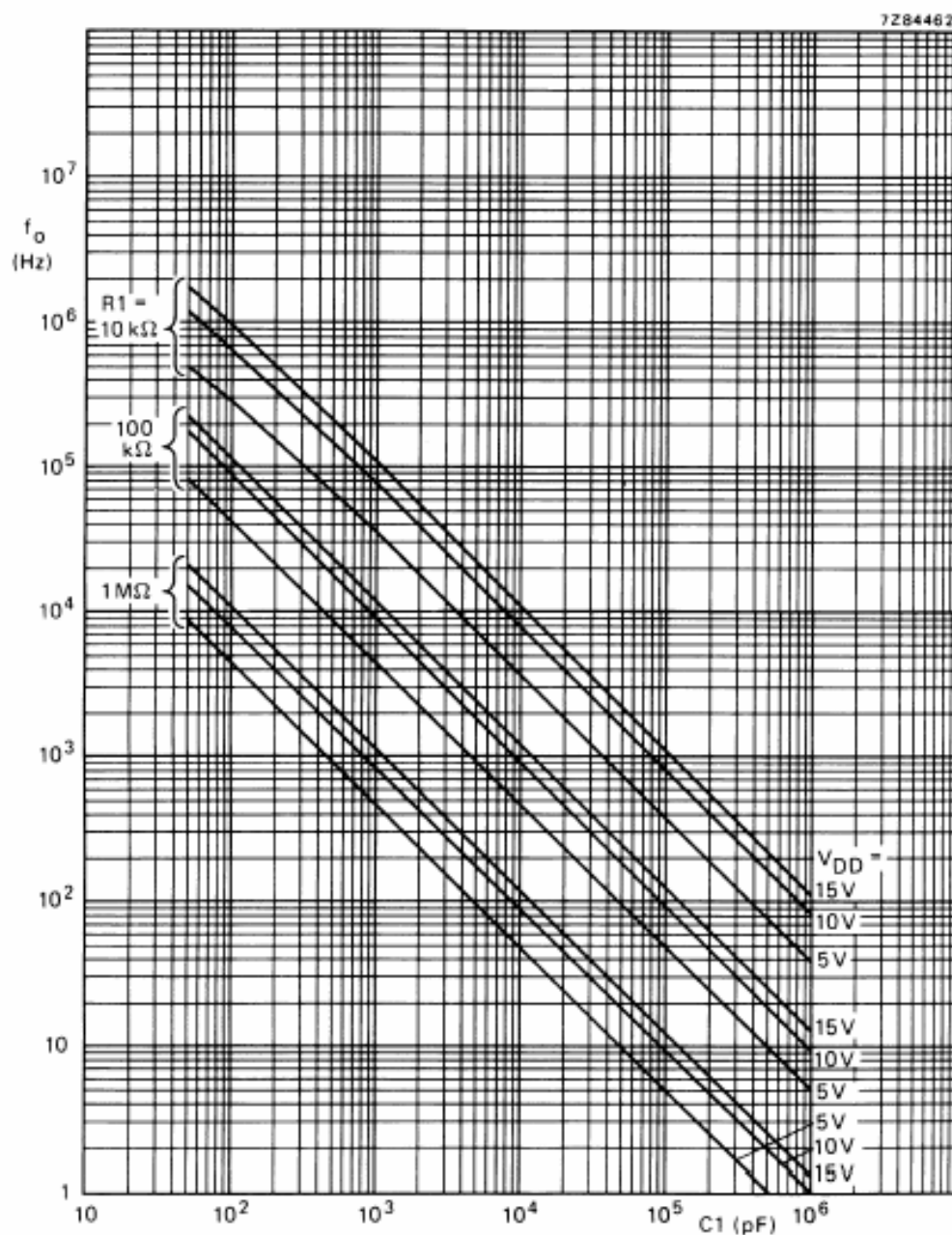
HEF4046B
MSI

Fig.7 Typical centre frequency as a function of capacitor $C1$; $T_{amb} = 25^\circ\text{C}$; $V_{CO_{IN}}$ at $\frac{1}{2} V_{DD}$; INH at V_{SS} ; $R_2 = \infty$.

Phase-locked loop

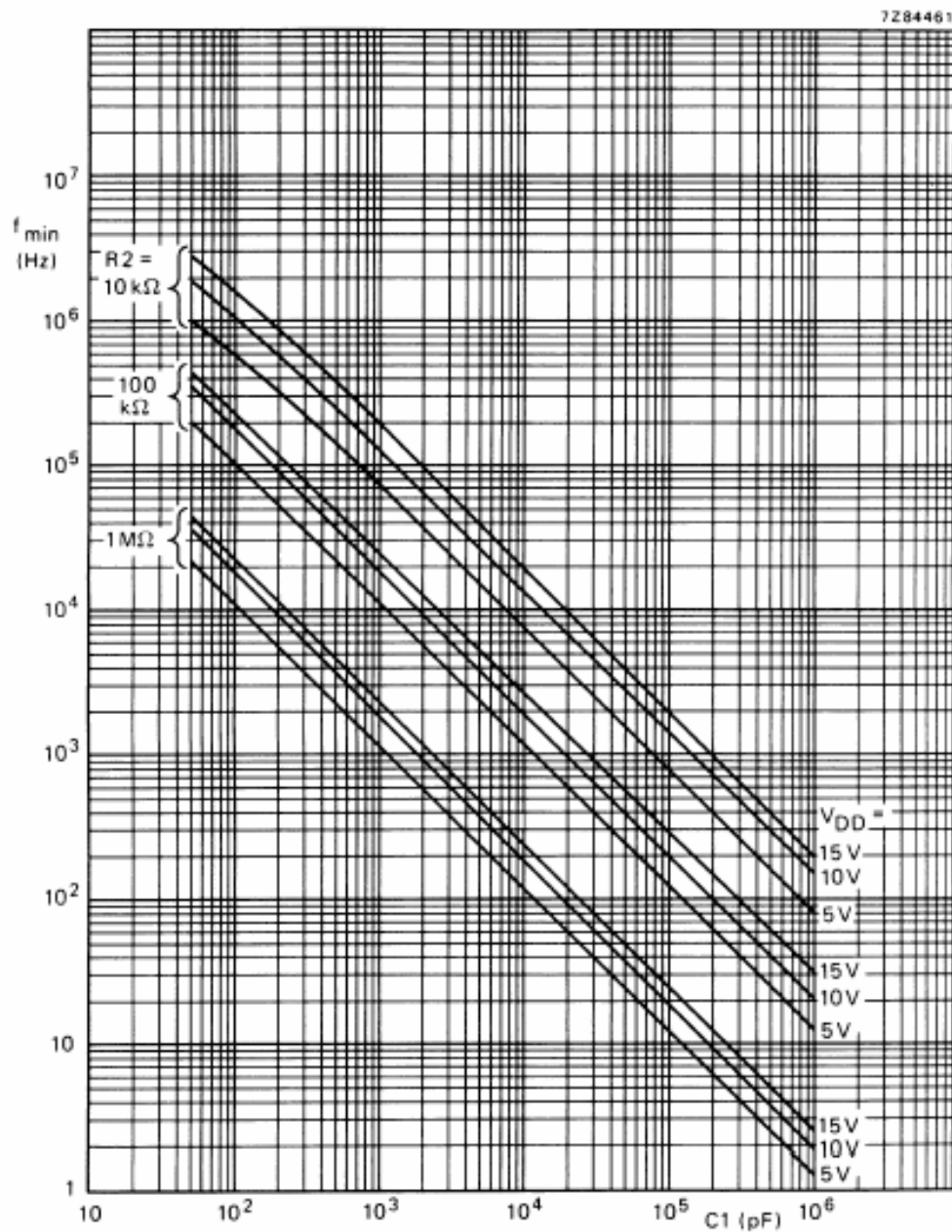
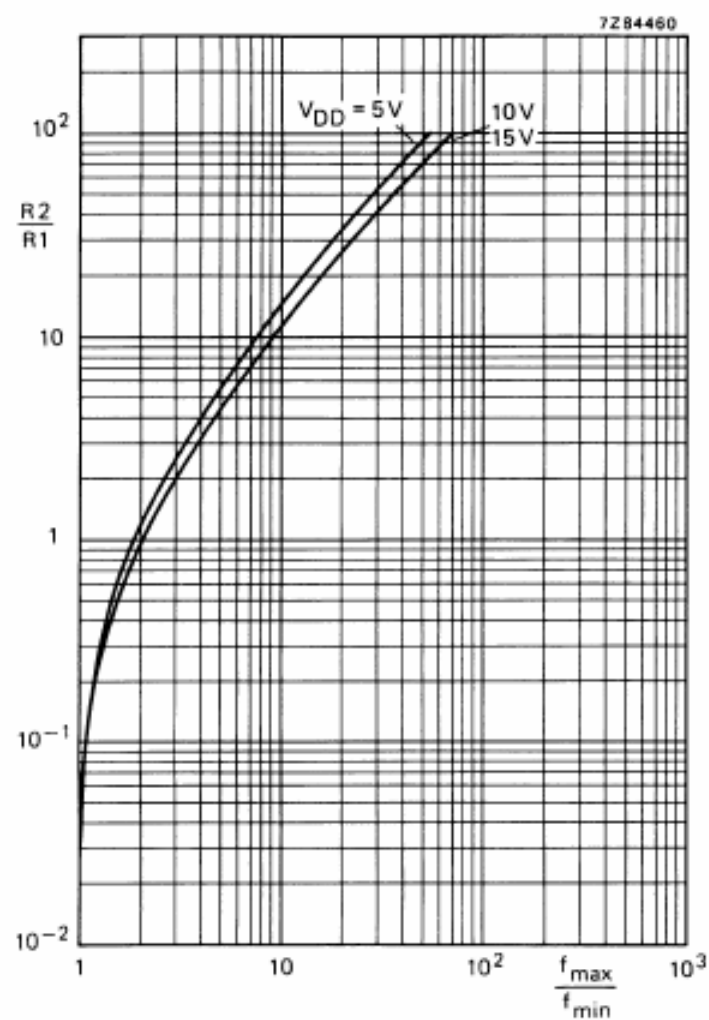
HEF4046B
MSI

Fig.8 Typical frequency offset as a function of capacitor $C1$; $T_{\text{amb}} = 25\text{ }^{\circ}\text{C}$; V_{COIN} at V_{SS} ; INH at V_{SS} ; $R1 = \infty$.

Phase-locked loop

HEF4046B
MSIFig.9 Typical ratio of $R2/R1$ as a function of the ratio f_{max}/f_{min} .